

自我检测题

1. 组合逻辑电路任何时刻的输出信号, 与该时刻的输入信号 有关, 与以前的输入信号 无关。

2. 在组合逻辑电路中, 当输入信号改变状态时, 输出端可能出现瞬间干扰窄脉冲的现象称为 竞争冒险。

3. 8 线—3 线优先编码器 74LS148 的优先编码顺序是 \overline{I}_7 、 \overline{I}_6 、 \overline{I}_5 、 \dots 、 \overline{I}_0 , 输出为 $\overline{Y}_2 \overline{Y}_1 \overline{Y}_0$ 。输入输出均为低电平有效。当输入 $\overline{I}_7 \overline{I}_6 \overline{I}_5 \dots \overline{I}_0$ 为 **11010101** 时, 输出 $\overline{Y}_2 \overline{Y}_1 \overline{Y}_0$ 为 **010**。

4. 3 线—8 线译码器 74HC138 处于译码状态时, 当输入 $A_2 A_1 A_0 = 001$ 时, 输出 $\overline{Y}_7 \sim \overline{Y}_0 =$ **11111101**。

5. 实现将公共数据上的数字信号按要求分配到不同电路中去的电路叫 数据分配器。

6. 根据需要选择一路信号送到公共数据线上的电路叫 数据选择器。

7. 一位数值比较器, 输入信号为两个要比较的一位二进制数, 用 A 、 B 表示, 输出信号为比较结果: $Y_{(A>B)}$ 、 $Y_{(A=B)}$ 和 $Y_{(A<B)}$, 则 $Y_{(A>B)}$ 的逻辑表达式为 $\overline{A}B$ 。

8. 能完成两个一位二进制数相加, 并考虑到低位进位的器件称为 全加器。

9. 多位加法器采用超前进位的目的是简化电路结构 ×。(√, ×)

10. 组合逻辑电路中的冒险是由于 引起的。

A. 电路未达到最简 B. 电路有多个输出

C. 电路中的时延 D. 逻辑门类型不同

11. 用取样法消除两级与非门电路中可能出现的冒险, 以下说法哪一种是正确的并优先考虑的?

A. 在输出级加正取样脉冲 B. 在输入级加正取样脉冲

C. 在输出级加负取样脉冲 D. 在输入级加负取样脉冲

12. 当二输入与非门输入为 变化时, 输出可能有竞争冒险。

A. **01→10**

B. **00→10**

C. **10→11**

D. **11→01**

13. 译码器 74HC138 的使能端 $E_1 \overline{E}_2 \overline{E}_3$ 取值为 时, 处于允许译码状态。

A. **011**

B. **100**

C. **101**

D. **010**

14. 数据分配器和 有着相同的基本电路结构形式。

A. 加法器

B. 编码器

C. 数据选择器

D. **译码器**

15. 在二进制译码器中, 若输入有 4 位代码, 则输出有 个信号。

A. 2

B. 4

C. 8

D. **16**

16. 比较两位二进制数 $A=A_1 A_0$ 和 $B=B_1 B_0$, 当 $A>B$ 时输出 $F=1$, 则 F 表达式是 。

- A. $F = A_1 \overline{B_1}$ B. $F = A_1 \overline{A_0} + B_1 + \overline{B_0}$
 C. $F = A_1 \overline{B_1} + \overline{A_1} \oplus B_1 A_0 \overline{B_0}$ D. $F = A_1 \overline{B_1} + A_0 + \overline{B_0}$

17. 集成 4 位数值比较器 74LS85 级联输入 $I_{A<B}$ 、 $I_{A=B}$ 、 $I_{A>B}$ 分别接 001，当输入二个相等的 4 位数据时，输出 $F_{A<B}$ 、 $F_{A=B}$ 、 $F_{A>B}$ 分别为_____。

- A. 010 B. 001 C. 100 D. 011

18. 实现两个四位二进制数相乘的组合电路，应有_____个输出函数。

- A. 8 B. 9 C. 10 D. 11

19. 设计一个四位二进制码的奇偶位发生器（假定采用偶检验码），需要_____个异或门。

- A. 2 B. 3 C. 4 D. 5

20. 在图 T3.20 中，能实现函数 $F = \overline{AB} + \overline{BC}$ 的电路为_____。

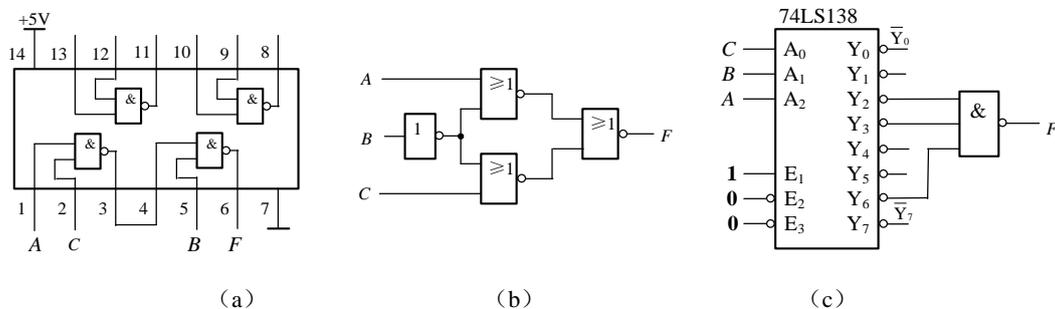


图 T3.20

- A. 电路 (a) B. 电路 (b) C. 电路 (c) D. 都不是

习 题

1. 分析图 P3.1 所示组合逻辑电路的功能，要求写出与-或逻辑表达式，列出其真值表，并说明电路的逻辑功能。

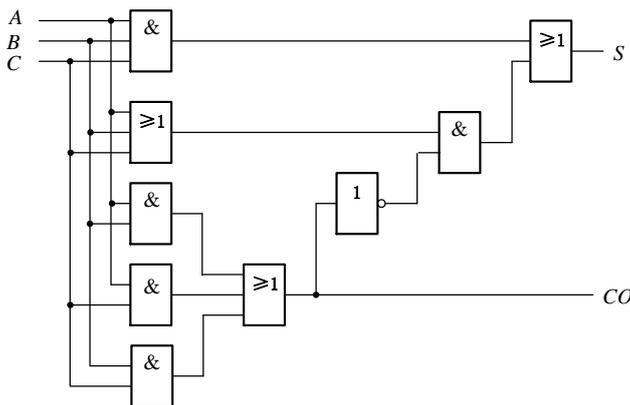


图 P3.1

解: $CO=AB+BC+AC$

$$\begin{aligned}
 S &= ABC + (A+B+C)\overline{CO} = ABC + (A+B+C)\overline{AB+BC+AC} \\
 &= ABC + (A+B+C)\overline{AB}\overline{BC}\overline{AC} \\
 &= ABC + \overline{A}\overline{B}BC\overline{AC} + \overline{B}\overline{A}B\overline{C}AC + \overline{C}\overline{A}\overline{B}BCAC \\
 &= ABC + \overline{A}\overline{B}BC\overline{C} + \overline{B}\overline{A}C\overline{A}C + \overline{C}\overline{A}\overline{B}BA \\
 &= ABC + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC
 \end{aligned}$$

真值表

A	B	C	S	CO	A	B	C	S	CO
0	0	0	0	0	1	0	0	1	0
0	0	1	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1
0	1	1	0	1	1	1	1	1	1

电路功能: 一位全加器, A 、 B 为两个加数, C 为来自低位的进位, S 是相加的和, CO 是进位。

2. 已知逻辑电路如图 P3.2 所示, 试分析其逻辑功能。

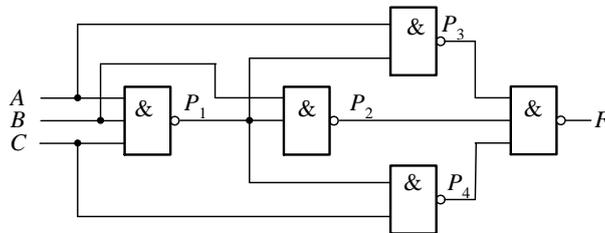


图 P3.2

解: (1) 逻辑表达式

$$\begin{aligned}
 P_1 &= \overline{ABC}, \quad P_2 = \overline{BP_1} = \overline{BABC}, \quad P_3 = \overline{AP_1} = \overline{AABC}, \quad P_4 = \overline{CP_1} = \overline{CABC} \\
 F &= \overline{P_2P_3P_4} = \overline{BABC\overline{AABC}\overline{CABC}} = \overline{BABC} + \overline{AABC} + \overline{CABC} \\
 &= \overline{ABC}(A+B+C) \\
 &= (\overline{A} + \overline{B} + \overline{C})(A+B+C) \\
 &= \overline{A}BC + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}BC + \overline{A}BC + \overline{A}BC
 \end{aligned}$$

(2) 真值表

A	B	C	F	A	B	C	F
0	0	0	0	1	0	0	1
0	0	1	1	1	0	1	1
0	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0

(3) 功能

从真值表看出, $ABC=000$ 或 $ABC=111$ 时, $F=0$, 而 A 、 B 、 C 取值不完全相同时, $F=1$ 。故这种电路称为“不一致”电路。

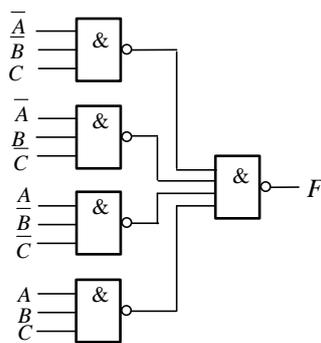
3. 试用与非门设计一组合逻辑电路, 其输入为 3 位二进制数, 当输入中有奇数个 1 时输出为 1, 否则输出为 0。

解: (1) 真值表

A	B	C	F	A	B	C	F
0	0	0	0	1	0	0	1
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	0
0	1	1	0	1	1	1	1

(2) $F = \overline{A}BC + \overline{A}B\overline{C} + \overline{A}B\overline{C} + ABC = \overline{\overline{A}BC \cdot \overline{A}B\overline{C} \cdot \overline{A}B\overline{C} \cdot ABC}$ (无法用卡诺图化简)

(3) 逻辑图



4. 4 位无符号二进制数 A ($A_3A_2A_1A_0$), 请设计一个组合逻辑电路实现: 当 $0 \leq A < 8$ 或 $12 \leq A < 15$ 时, F 输出 1, 否则, F 输出 0。

解: (1) 真值表:

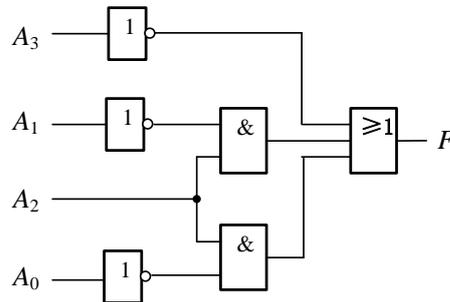
A_3	A_2	A_1	A_0	F	A_3	A_2	A_1	A_0	F
0	0	0	0	1	1	0	0	0	0

0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	0
0	0	1	1	1	1	0	1	1	0
0	1	0	0	1	1	1	0	0	1
0	1	0	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0

(2) 表达式

(3) 电路图

	A_1A_0			
	00	01	11	10
A_3A_2				
00	1	1	1	1
01	1	1	1	1
11	1	1	0	1
10	0	0	0	0

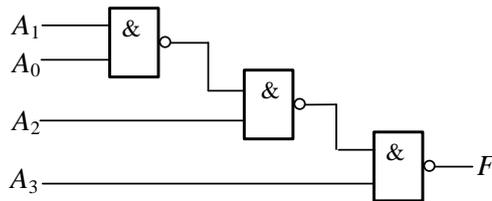


$$F = \overline{A_3} + A_2 \overline{A_1} + A_2 \overline{A_0}$$

(4) 如果要求用与非门实现，则：

$$F = \overline{A_3} + A_2 \overline{A_1} + A_2 \overline{A_0} = \overline{\overline{\overline{A_3} + A_2 \overline{A_1} + A_2 \overline{A_0}}} = \overline{\overline{\overline{\overline{\overline{A_3} + A_2 \overline{A_1} + A_2 \overline{A_0}}}}} = \overline{\overline{\overline{A_3 A_2 A_1 A_0}}}$$

逻辑图：



5. 约翰和简妮夫妇有两个孩子乔和苏，全家外出吃饭一般要么去汉堡店，要么去炸鸡店。每次出去吃饭前，全家要表决以决定去哪家餐厅。表决的规则是如果约翰和简妮都同意，或多数同意吃炸鸡，则他们去炸鸡店，否则就去汉堡店。试设计一组组合逻辑电路实现上述表决电路。

解：(1) 逻辑定义：A、B、C、D 分别代表约翰、简妮、乔和苏。F=1 表示去炸鸡店，F=0 表示去汉堡店。

(2) 真值表

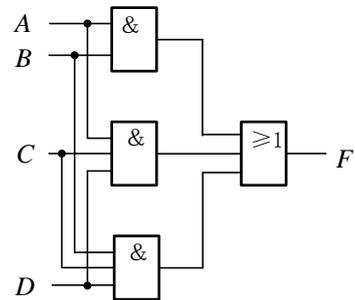
A	B	C	D	F	A	B	C	D	F
---	---	---	---	---	---	---	---	---	---

0	0	0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	1	0	0	1
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1

(3) 用卡诺图化简

(4) 逻辑图

		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	0	1	0
	11	1	1	1	1
	10	0	0	1	0



$$F = AB + ACD + BCD$$

6. 试设计一个全减器组合逻辑电路。全减器是可以计算三个数 X 、 Y 、 BI 的差，即 $D = X - Y - BI$ 。当 $X < Y + BI$ 时，借位输出 BO 置位。

解：设被减数为 X ，减数为 Y ，从低位来的借位为 BI ，则 1 位全减器的真值表如图 (a) 所示，其中 D 为全减差， BO 为向高位发出的借位输出。

(1) 真值表

X	Y	BI	D	BO	X	Y	BI	D	BO
0	0	0	0	0	1	0	0	1	0
0	0	1	1	1	1	0	1	0	0
0	1	0	1	1	1	1	0	0	0
0	1	1	0	1	1	1	1	1	1

		YBI			
		00	01	11	10
X	0	0	1	0	1
	1	1	0	1	0

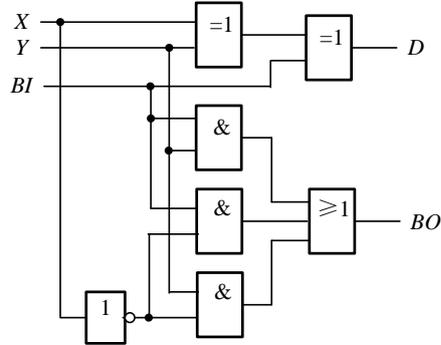
		YBI			
		00	01	11	10
X	0	0	1	1	1
	1	0	0	1	0

由卡诺图得

$$D = X \oplus Y \oplus BI$$

$$B_O = YB_I + \bar{X}B_I + \bar{X}Y$$

电路图



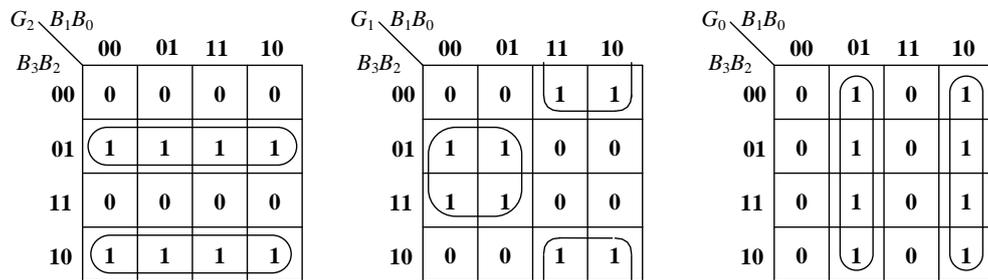
7. 设计组合逻辑电路，将 4 位无符号二进制数转换成格雷码。

解：（1）列出 4 位二进制码→4 位格雷码的转换真值表，如表所示。

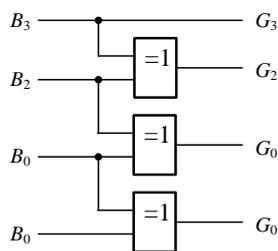
输入				输出				输入				输出			
B_3	B_2	B_1	B_0	G_3	G_2	G_1	G_0	B_3	B_2	B_1	B_0	G_3	G_2	G_1	G_0
0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0
0	0	0	1	0	0	0	1	1	0	0	1	1	1	0	1
0	0	1	0	0	0	1	1	1	0	1	0	1	1	1	1
0	0	1	1	0	0	1	0	1	0	1	1	1	1	1	0
0	1	0	0	0	1	1	0	1	1	0	0	1	0	1	0
0	1	0	1	0	1	1	1	1	1	0	1	1	0	1	1
0	1	1	0	0	1	0	1	1	1	1	0	1	0	0	1
0	1	1	1	0	1	0	0	1	1	1	1	1	0	0	0

（2）根据真值表分别画出输出变量 G_3 , G_2 , G_1 , G_0 的卡诺图，如图 4.1.2-12 所示。化简后，得

$$G_3 = B_3, \quad G_2 = B_3 \oplus B_2, \quad G_1 = B_2 \oplus B_1, \quad G_0 = B_1 \oplus B_0$$



（3）由逻辑表达式得电路实现，如图所示。



8. 请用最少器件设计一个健身房照明灯的控制电路, 该健身房有东门、南门、西门, 在各个门旁装有一个开关, 每个开关都能独立控制灯的亮暗, 控制电路具有以下功能:

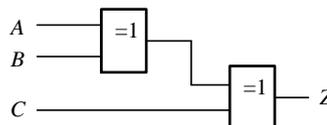
- (1) 某一门开关接通, 灯即亮, 开关断, 灯暗;
- (2) 当某一门开关接通, 灯亮, 接着接通另一门开关, 则灯暗;
- (3) 当三个门开关都接通时, 灯亮。

解: 设东门开关为 A , 南门开关为 B , 西门开关为 C 。开关闭合为 1 , 开关断开为 0 。灯为 Z , 等暗为 0 , 灯亮为 1 。根据题意列真值表如下:

A	B	C	Z	A	B	C	Z
0	0	0	0	1	0	0	1
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	0
0	1	1	0	1	1	1	1

(2) 画出卡诺图如图所示。

Z	A	BC			
		00	01	11	10
0	0	0	1	0	1
1	1	1	0	1	0



(3) 根据卡诺图, 可得到该逻辑电路的函数表达式:

$$Z = \overline{A}BC + A\overline{B}C + A\overline{B}\overline{C} + ABC = A \oplus B \oplus C$$

(3) 根据逻辑函数表达式, 可画出逻辑电路图如图所示。

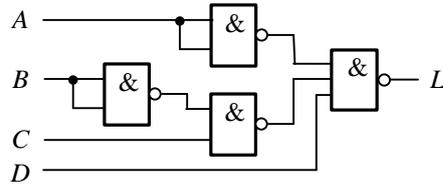
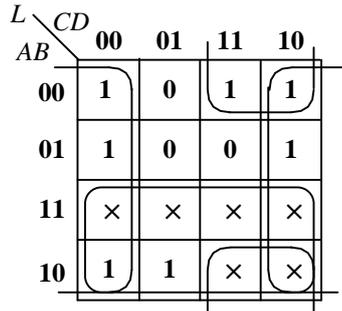
9. 设计一个能被 2 或 3 整除的逻辑电路, 其中被除数 A 、 B 、 C 、 D 是 8421BCD 编码。规定能整除时, 输出 L 为高电平, 否则, 输出 L 为低电平。要求用最少的与非门实现。(设 0 能被任何数整除)

解: (1) 真值表

A	B	C	D	L	A	B	C	D	L
0	0	0	0	1	1	0	0	0	1
0	0	0	1	0	1	0	0	1	1
0	0	1	0	1	1	0	1	0	\times

0	0	1	1	1	1	0	1	1	×
0	1	0	0	1	1	1	0	0	×
0	1	0	1	0	1	1	0	1	×
0	1	1	0	1	1	1	1	0	×
0	1	1	1	0	1	1	1	1	×

(2) 用卡诺图化简



$$L = A + \overline{BC} + \overline{D} = \overline{\overline{A+BC+D}} = \overline{\overline{A} \overline{BC} \overline{D}}$$

(3) 逻辑图

10. 如图 P3.10 所示为一工业用水容器示意图, 图中虚线表示水位, A、B、C 电极被水浸没时会有高电平信号输出, 试用与非门构成的电路来实现下述控制作用: 水面在 A、B 间, 为正常状态, 亮绿灯 G; 水面在 B、C 间或在 A 以上为异常状态, 点亮黄灯 Y; 面在 C 以下为危险状态, 点亮红灯 R。要求写出设计过程。

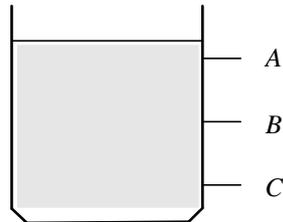
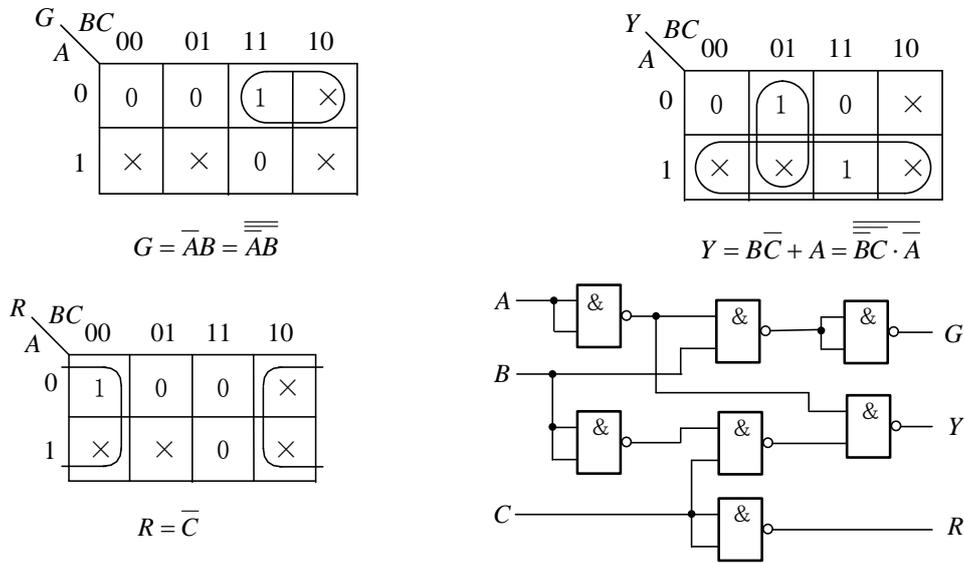


图 P3.10

解: (1) 真值表

A	B	C	G	Y	R	A	B	C	G	Y	R
0	0	0	0	0	1	1	0	0	×	×	×
0	0	1	0	1	0	1	0	1	×	×	×
0	1	0	×	×	×	1	1	0	×	×	×
0	1	1	1	0	0	1	1	1	0	1	0

(2) 卡诺图化简



(3) 逻辑图

11. 试用卡诺图法判断逻辑函数式

$$Y(A, B, C, D) = \sum m(0, 1, 4, 5, 12, 13, 14, 15)$$

是否存在逻辑险象，若有，则采用增加冗余项的方法消除，并用与非门构成相应的电路。

解：卡诺图如图 (a) 所示。

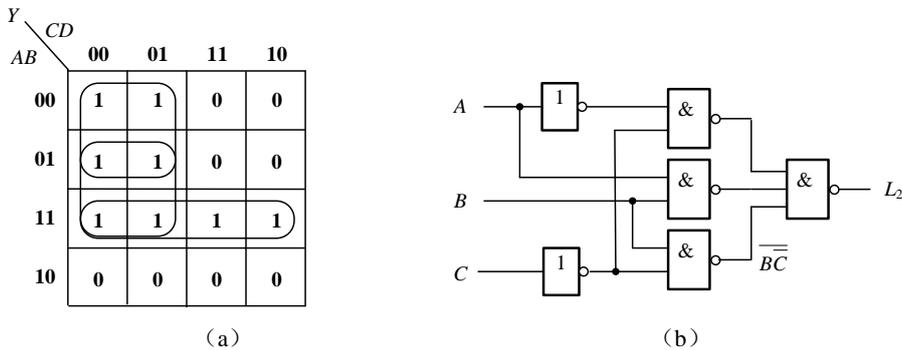
最简逻辑函数式为：

$$Y = \overline{A}\overline{C} + AB$$

此函数存在逻辑险象。只要如图所示增加冗余项 \overline{BC} 即可，逻辑式变为：

$$Y = \overline{A}\overline{C} + AB + \overline{BC} = \overline{\overline{\overline{A}\overline{C} + AB + \overline{BC}}}$$

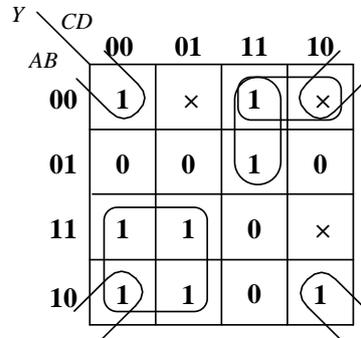
用与非门构成的相应电路如图 (b) 所示。



12. 已知 $Y(A, B, C, D) = \sum m(0,3,7,8,9,10,11,12,13) + \sum d(1,2,14)$ ，求 Y 的无竞争冒险的最

简与-或式。

解：卡诺图如图所示：



$$Y = \overline{A}\overline{C} + \overline{B}\overline{D} + \overline{A}CD + \overline{A}\overline{B}C$$

上式中 $\overline{A}\overline{B}C$ 为冗余项，以消除竞争冒险。

13. 某一组合电路如图 P3.13 所示，输入变量 (A, B, D) 的取值不可能发生 ($0, 1, 0$) 的输入组合。分析它的竞争冒险现象，如存在，则用最简单的电路改动来消除之。

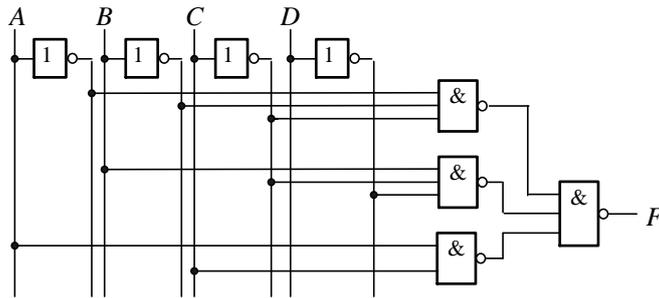


图 P3.13

解：解法 1：从逻辑图得到以下表达式：

$$F = \overline{A}\overline{B}C + \overline{B}C\overline{D} + AC$$

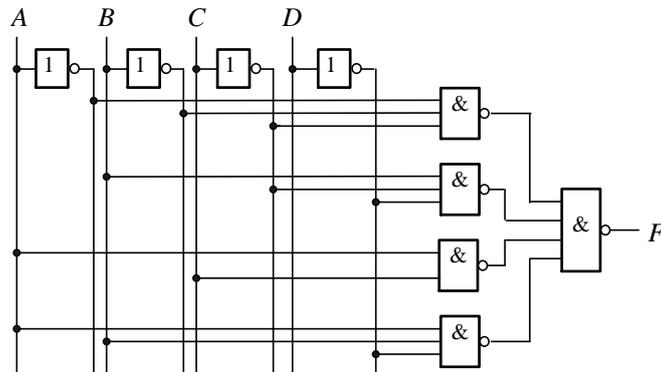
根据表达式得到卡诺图：

		CD			
		00	01	11	10
F	AB	00	01	11	10
	00	1	1	0	0
	01	1	0	0	0
	11	1	0	1	1
	10	0	0	1	1

但由于从卡诺图可见，包围圈有两处相切，因此存在竞争冒险现象。可以通过相切点位置增加一个乘积项，得 $F = \overline{A}\overline{B}\overline{C} + \overline{B}\overline{C}\overline{D} + AC + \overline{A}\overline{C}\overline{D} + AB\overline{D}$

进一步分析，当 $ACD=000$ 时， $F = \overline{B} + B$ ，由于输入变量 (A, B, D) 的取值不可能发生 $(0, 1, 0)$ 的输入组合，因此，当 $ACD=000$ 时， B 必然为 0，不会产生竞争冒险。因此， $\overline{A}\overline{C}\overline{D}$ 这一项不需要增加，只需要增加 $AB\overline{D}$ 。

电路图为：



解法二：如果逻辑表达式在某种取值下，出现 $F = \overline{A} + A$ 、 $F = \overline{B} + B$ 、 $F = \overline{C} + C$ 、 $F = \overline{D} + D$ ，就有可能出现竞争冒险。

根据逻辑表达式 $F = \overline{A}\overline{B}\overline{C} + \overline{B}\overline{C}\overline{D} + AC$ ， $F = \overline{A} + A$ 和 $F = \overline{D} + D$ 不会出现。

当 $A=C=D=0$ ，出现 $F = \overline{B} + B$ ，但由于输入变量 (A, B, D) 的取值不可能发生 $(0, 1, 0)$ 的输入组合，因此，当 $ACD=000$ 时， B 必然为 0，因此也不会产生竞争冒险。

只有当 $A=B=1, D=0$, 出现 $F = \bar{C} + C$, 存在竞争冒险问题, 加冗余项 $AB\bar{D}$ 可消除竞争冒险。

14. 电路如图 P3.14 所示, 图中①~⑤均为 2 线—4 线译码器。

(1) 欲分别使译码器①~④处于工作状态, 对应的 $C、D$ 应输入何种状态 (填表 P3.12-1);

(2) 试分析当译码器①工作时, 请对应 $A、B$ 的状态写出 $\bar{Y}_{10} \sim \bar{Y}_{13}$ 的状态 (填表 P3.12-2);

(3) 说明图 P3.14 的逻辑功能。

表 P3.14-1

处于工作状态 的译码器	$C、D$ 应输入的状态	
	C	D
①		
②		
③		
④		

表 P3.14-2

A	B	\bar{Y}_{10}	\bar{Y}_{11}	\bar{Y}_{12}	\bar{Y}_{13}
0	0				
0	1				
1	0				
1	1				

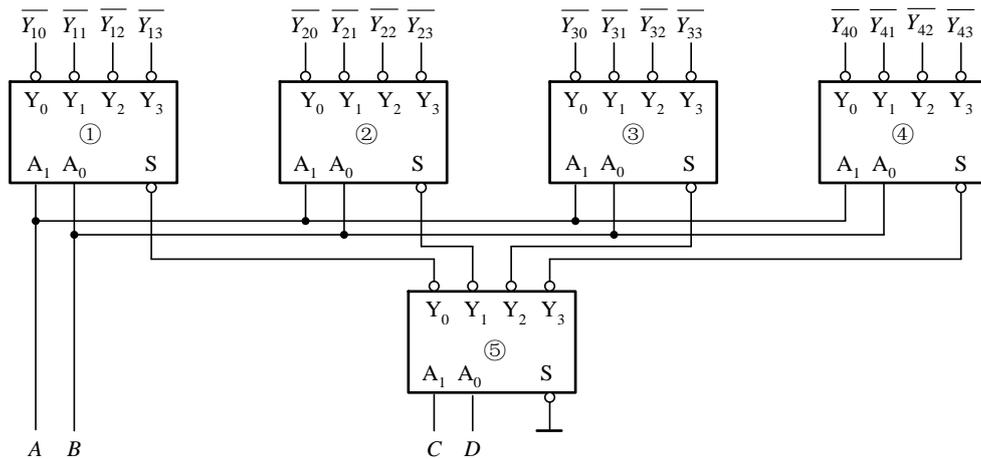


图 P3.14

解:

处于工作状 态的译码器	$C、D$ 应输入的状态	
	C	D
①	0	0
②	0	1
③	1	0
④	1	1

A	B	\bar{Y}_{10}	\bar{Y}_{11}	\bar{Y}_{12}	\bar{Y}_{13}
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

逻辑功能：由 74LS139 构成的 4 线—16 线译码器

15. 图 P3.15 所示电路是由 3 线-8 线译码器 74HC138 及门电路构成的地址译码电路。试列出此译码电路每个输出对应的地址, 要求输入地址 $A_7A_6A_5A_4A_3A_2A_1A_0$ 用十六进制表示。

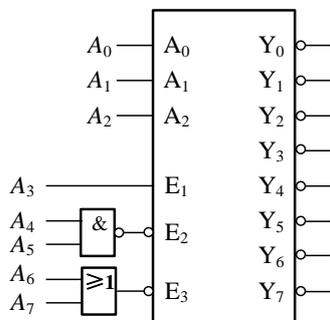


图 P3.15

解：由图可见，74HC138 的功能扩展输入端必须满足 $E_1=1$ 、 $\overline{E_2}=\overline{E_3}=0$ 才能正常译码，因此 $E_1=A_3=1$ ； $\overline{E_2}=\overline{A_4A_5}$ ，即 $A_4=1$ ， $A_5=1$ ； $\overline{E_3}=\overline{A_6+A_7}=0$ ，即 $A_6=0$ ， $A_7=0$ 。所以，该地址译码器的译码地址范围为 $A_7A_6A_5A_4A_3A_2A_1A_0=00111A_2A_1A_0=00111000\sim 00111111$ ，用十六进制表示即为 38H~3FH。输入、输出真值表如表 1 所示。

表 1 地址译码器的真值表

地址输入	译码输出							
$A_7A_6A_5A_4A_3A_2A_1A_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
38H	0	1	1	1	1	1	1	1
39H	1	0	1	1	1	1	1	1
3AH	1	1	0	1	1	1	1	1
3BH	1	1	1	0	1	1	1	1
3CH	1	1	1	1	0	1	1	1
3DH	1	1	1	1	1	0	1	1
3EH	1	1	1	1	1	1	0	1
3FH	1	1	1	1	1	1	1	0

16. 写出图 P3.16 所示电路的逻辑函数, 并化简为最简与-或表达式。

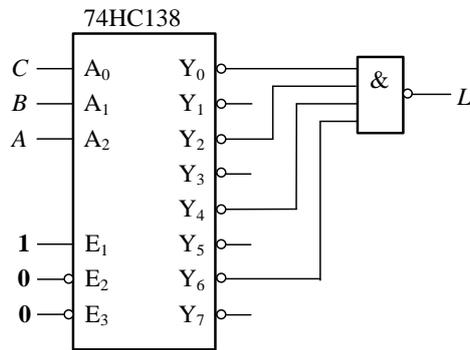


图 P3.16

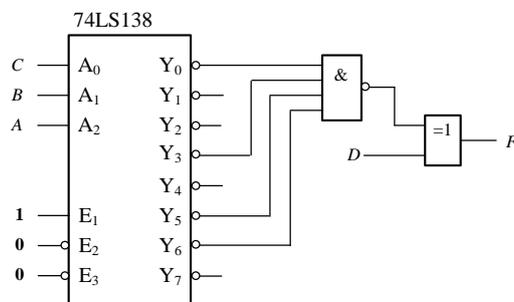
解：由图 (a) 写出逻辑函数并化简，得

$$\begin{aligned} L &= \overline{Y_0} \overline{Y_2} \overline{Y_4} \overline{Y_6} = Y_0 + Y_2 + Y_4 + Y_6 \\ &= \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + A \overline{B} \overline{C} + A B \overline{C} = C \end{aligned}$$

17. 试用一片 3 线-8 线译码器 74HC138 和最少的门电路设计一个奇偶校验器，要求当输入变量 $ABCD$ 中有偶数个 1 时输出为 1，否则为 0。（ $ABCD$ 为 0000 时视作偶数个 1）。

$$\begin{aligned} \text{解：} F &= \overline{A} \overline{B} \overline{C} \overline{D} + \overline{A} \overline{B} C \overline{D} + \overline{A} B \overline{C} \overline{D} + \overline{A} B C \overline{D} + A \overline{B} \overline{C} \overline{D} + A \overline{B} C \overline{D} + A B \overline{C} \overline{D} + A B C \overline{D} \\ &= \overline{A} \overline{B} \overline{C} \overline{D} + \overline{A} \overline{B} C \overline{D} + \overline{A} B \overline{C} \overline{D} + \overline{A} B C \overline{D} + A \overline{B} \overline{C} \overline{D} + A \overline{B} C \overline{D} + A B \overline{C} \overline{D} + A B C \overline{D} \\ &= (\overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C + \overline{A} B \overline{C} + \overline{A} B C) \overline{D} + (A \overline{B} \overline{C} + A \overline{B} C + A B \overline{C} + A B C) D \\ &= (\overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C + \overline{A} B \overline{C} + \overline{A} B C) \overline{D} + (\overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C + \overline{A} B \overline{C} + \overline{A} B C) D \\ &= (\overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C + \overline{A} B \overline{C} + \overline{A} B C) \oplus D \\ &= \overline{(\overline{A} \overline{B} \overline{C} \cdot \overline{A} \overline{B} C \cdot \overline{A} B \overline{C} \cdot \overline{A} B C)} \oplus D \end{aligned}$$

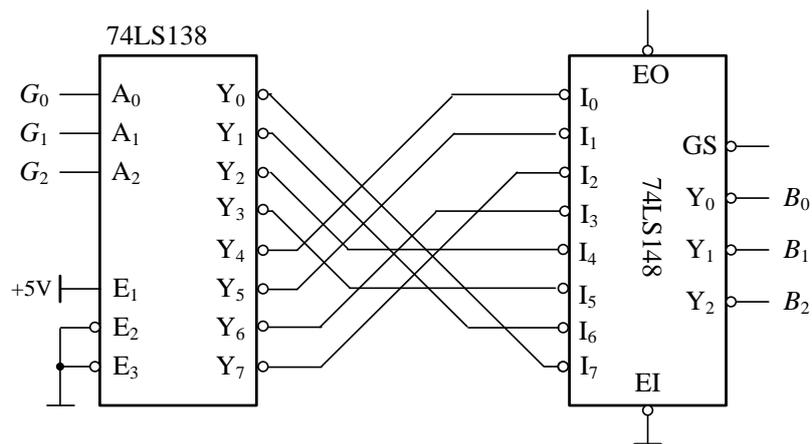
连接图



18. 用一个 8 线-3 线优先编码器 74HC148 和一个 3 线-8 线译码器 74HC138 实现 3 位格雷码→3 位二进制的转换。

解：根据下表可得到连线图：

G_2	G_1	G_0	\bar{Y}		\bar{I}	B_2	B_1	B_0
0	0	0	\bar{m}_0	→	\bar{I}_7	0	0	0
0	0	1	\bar{m}_1	→	\bar{I}_6	0	0	1
0	1	1	\bar{m}_3	→	\bar{I}_5	0	1	0
0	1	0	\bar{m}_2	→	\bar{I}_4	0	1	1
1	1	0	\bar{m}_6	→	\bar{I}_3	1	0	0
1	1	1	\bar{m}_7	→	\bar{I}_2	1	0	1
1	0	1	\bar{m}_5	→	\bar{I}_1	1	1	0
1	0	0	\bar{m}_4	→	\bar{I}_0	1	1	1



19. 根据图 P3.19 所示 4 选 1 数据选择器，写出输出 Z 的最简与-或表达式。

解： $Z = \bar{A}\bar{B} + \bar{A}BC + A\bar{B}\bar{C} + ABC = \bar{B} + \bar{A}C + AC$

20. 由 4 选 1 数据选择器和门电路构成的组合逻辑电路如图 P3.20 所示，试写出输出 E 的最简逻辑函数表达式。

解： $E = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}BC\bar{D} + A\bar{B}C\bar{D} + ABC\bar{D} = \bar{A}\bar{C} + C\bar{D}$

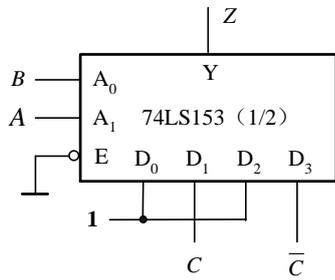


图 P3.19

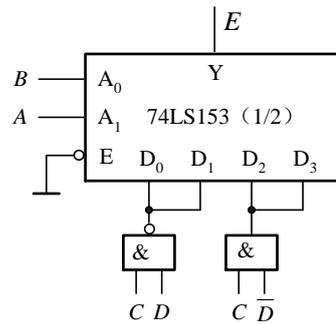


图 P3.20

21. 由 4 选 1 数据选择器构成的组合逻辑电路如图 P3.21 所示，请画出在图 P3.21 所示输入信号作用下， L 的输出波形。

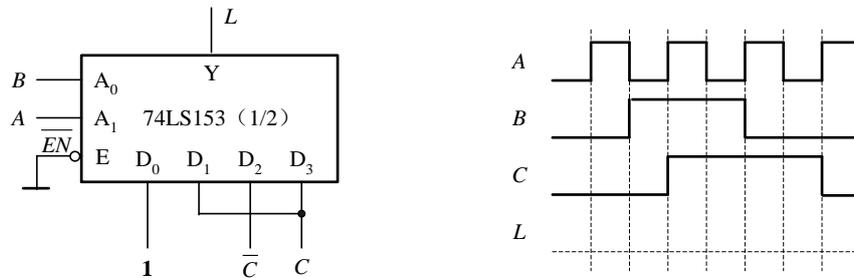


图 P3.21

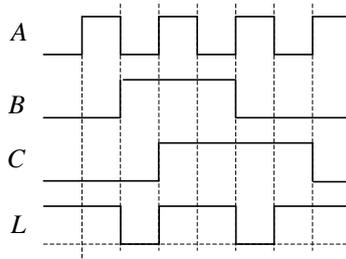
解：4 选 1 数据选择器的逻辑表达式为：

$$Y = \overline{A_1} \overline{A_0} D_0 + \overline{A_1} A_0 D_1 + A_1 \overline{A_0} D_2 + A_1 A_0 D_3$$

将 $A_1=A$, $A_0=B$, $D_0=1$, $D_1=C$, $D_2=\overline{C}$, $D_3=C$ 代入得

$$Y = \overline{A} \overline{B} + \overline{A} B C + A \overline{B} \overline{C} + A B C = \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C + \overline{A} B \overline{C} + A \overline{B} \overline{C} + A B C$$

根据表达式可画出波形图：



22. 已知用 8 选 1 数据选择器 74LS151 构成的逻辑电路如图 P3.22 所示, 请写出输出 L 的逻辑函数表达式, 并将它化成最简与-或表达式。

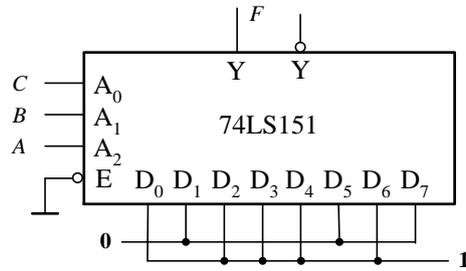
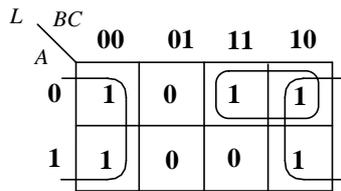


图 P3.22

解: (1) 写出逻辑函数表达式:

$$L = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + ABC$$

(2) 用卡诺图化简



$$L = \bar{C} + \bar{A}B$$

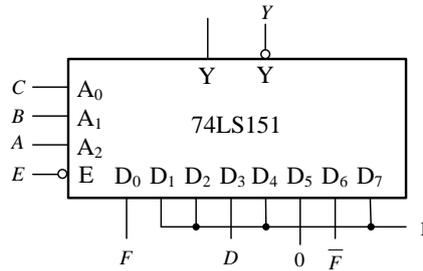
23. 用一个 8 选 1 数据选择器 74LS151 和非门实现:

$$Y = E + (A + B + \bar{C})(\bar{A} + C + BF)(\bar{B} + \bar{C} + \bar{A}\bar{D})(A + C + \bar{B}\bar{F})$$

$$\text{解: } \bar{Y} = \bar{E}(\bar{A}\bar{B}\bar{C} + \bar{A}\bar{C}\bar{B}F + \bar{B}\bar{C}\bar{A}\bar{D} + \bar{A}\bar{C}\bar{B}\bar{F})$$

$$= \bar{E}(m_1 + m_4 + m_4\bar{F} + m_6\bar{F} + m_7 + m_3D + m_7D + m_2 + m_0F + m_2F)$$

$$= \bar{E}(m_0F + m_1 + m_2 + m_3D + m_4 + m_6\bar{F} + m_7)$$



24. 图 P3.24 所示是用二个 4 选 1 数据选择器组成的逻辑电路，试写出输出 Z 与输入 M、N、P、Q 之间的逻辑函数式。

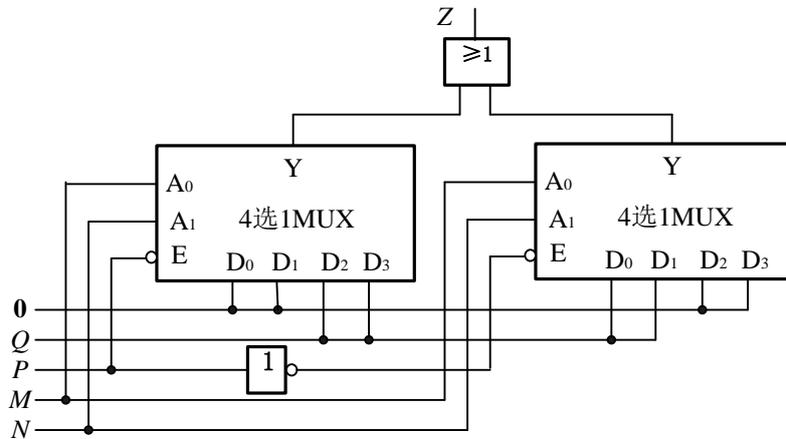


图 P3.24

解： $Z = (NMQ + NM\bar{Q})\bar{P} + (\bar{N}\bar{M}Q + \bar{N}M\bar{Q})P$

$$= NMQ\bar{P} + NM\bar{Q}\bar{P} + \bar{N}\bar{M}QP + \bar{N}M\bar{Q}P$$

$$= NQ\bar{P} + \bar{N}QP$$

25. 用二个 4 选 1 数据选择器实现函数 L，允许使用反相器。

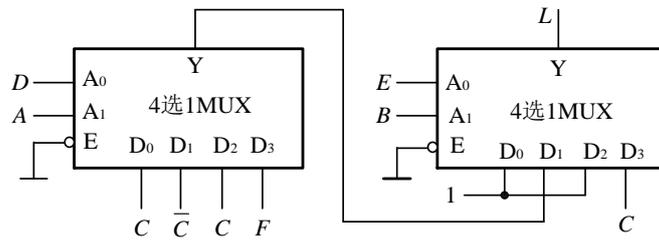
$$L = \bar{E} + \bar{A}\bar{B}CDE + \bar{A}B\bar{C}DE + \bar{A}BC\bar{D}E + \bar{A}BCDE + \bar{A}BDEF + BCE$$

解： $L = \bar{E} + \bar{A}\bar{B}CDE + \bar{A}B\bar{C}DE + \bar{A}BC\bar{D}E + \bar{A}BCDE + \bar{A}BDEF + BCE$

$$= \bar{B}\bar{E} + \bar{B}E + \bar{B}E(\bar{A}C\bar{D} + \bar{A}C\bar{D} + \bar{A}C\bar{D} + \bar{A}C\bar{D}) + BCE$$

$$= \bar{B}\bar{E} + \bar{B}E(\bar{A}\bar{D}C + \bar{A}\bar{D}C + \bar{A}\bar{D}C + \bar{A}\bar{D}C) + \bar{B}E + BCE$$

电路图



26. 一个组合逻辑电路有两个控制信号 C_1 和 C_2 , 要求:

(1) $C_2C_1=00$ 时, $F = A \oplus B$

(2) $C_2C_1=01$ 时, $F = \overline{AB}$

(3) $C_2C_1=10$ 时, $F = \overline{A+B}$

(4) $C_2C_1=11$ 时, $F = AB$

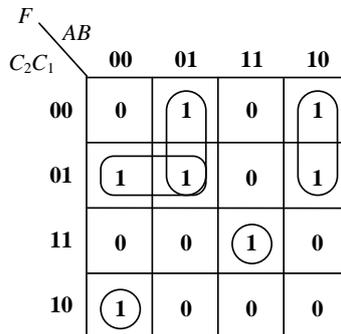
试设计符合上述要求的逻辑电路 (器件不限)

解: 方法一: 真值表→卡诺图化简→逻辑图

真值表

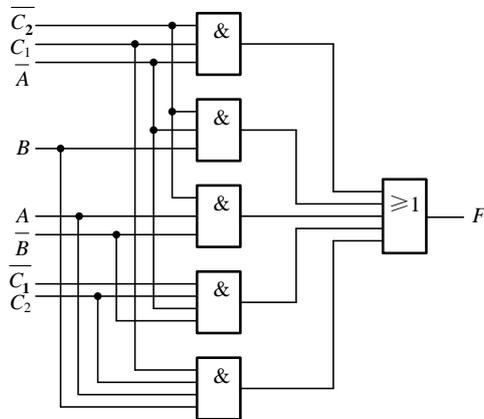
C_2	C_1	A	B	F	C_2	C_1	A	B	F
0	0	0	0	0	1	0	0	0	1
0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	0
0	0	1	1	0	1	0	1	1	0
0	1	0	0	1	1	1	0	0	0
0	1	0	1	1	1	1	0	1	0
0	1	1	0	1	1	1	1	0	0
0	1	1	1	0	1	1	1	1	1

卡诺图化简

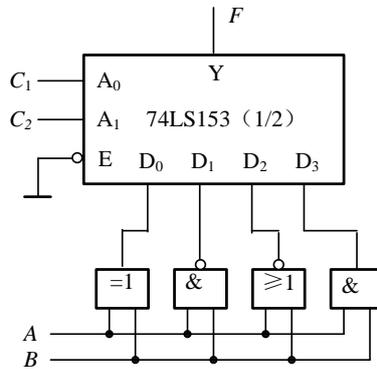


$$F = \overline{C_2}C_1\overline{A} + \overline{C_2}\overline{A}B + \overline{C_2}AB + C_2\overline{C_1}\overline{A}B + C_2C_1AB$$

逻辑图



方法二：利用数据选择器和少量门电路实现



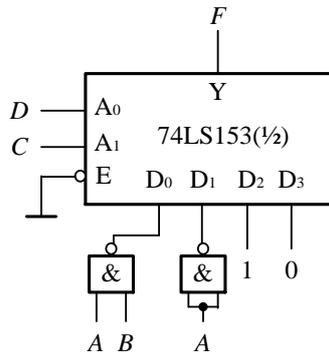
27. 试用 4 选 1 数据选择器 74LS153 (1/2) 和最少量的与非门实现逻辑函数 $F = \overline{A}\overline{C} + C\overline{D} + \overline{B}C\overline{D}$ 。

$$\text{解: } F = \overline{A}\overline{C} + C\overline{D} + \overline{B}C\overline{D} = \overline{A}\overline{C}(D + \overline{D}) + C\overline{D} + \overline{B}C\overline{D}$$

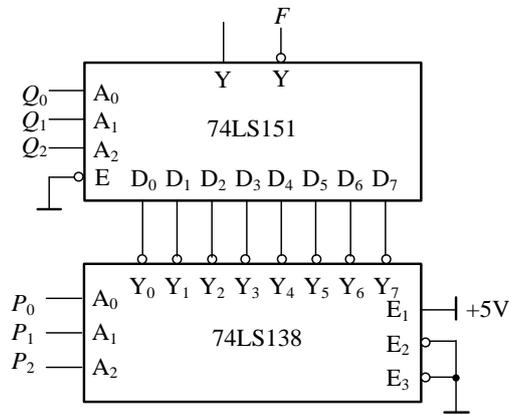
$$= \overline{A}\overline{C}\overline{D} + \overline{A}\overline{C}D + C\overline{D} + \overline{B}C\overline{D} = \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{C}D + C\overline{D} + CD \cdot 0$$

$$\text{令 } A_1=C, A_0=D, D_0 = \overline{A}\overline{B}, D_1 = \overline{A}, D_2=1, D_3=0$$

连线图:

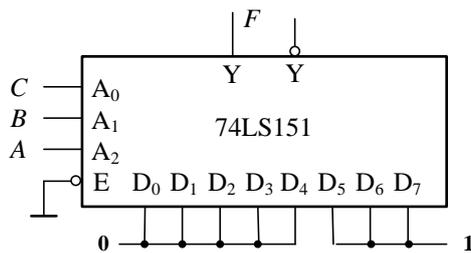


28. $P (P_2P_1P_0)$ 和 $Q (Q_2Q_1Q_0)$ 为两个三位无符号二进制数，试用一个 74LS138 和一个 74LS151 和尽可能少的门电路设计如下组合电路：当 $P=Q$ 时输出 $F=1$ ，否则 $F=0$ 。
解：



29. 试用 8 选 1 数据选择器 74LS151 实现逻辑函数 $L=AB+AC$ 。

解： $L = AB + AC = \overline{A}BC + A\overline{B}C + ABC = m_7 + m_6 + m_5$



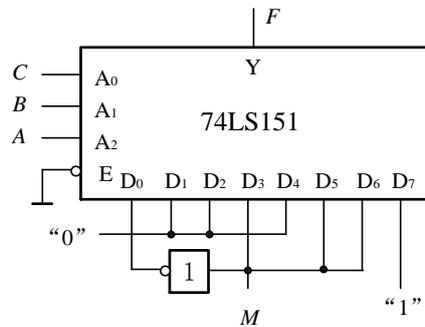
30. 用 8 选 1 数据选择器 74LS151 设计一个组合电路。该电路有 3 个输入 A 、 B 、 C 和一个工作模式控制变量 M ，当 $M=0$ 时，电路实现“意见一致”功能（ A 、 B 、 C 状态一致时输出为 1，否则输出为 0），而 $M=1$ 时，电路实现“多数表决”功能，即输出与 A 、 B 、 C 中多数的状态一致。

解：

M	A	B	C	F	M	A	B	C	F
0	0	0	0	1	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1

$$\begin{aligned}
 F &= \overline{M} \overline{A} \overline{B} \overline{C} + \overline{M} A B C + M \overline{A} B C + M A \overline{B} C + M A B \overline{C} + M A B C \\
 &= \overline{M} \overline{A} \overline{B} \overline{C} + A B C + M \overline{A} B C + M A \overline{B} C + M A B \overline{C}
 \end{aligned}$$

电路图



31. 已知 8 选 1 数据选择器 74LS151 芯片的选择输入端 A_2 的引脚折断, 无法输入信号, 但芯片内部功能完好。试问如何利用它来实现函数 $F(A,B,C) = \sum m(1,2,4,7)$ 。要求写出实现过程, 画出逻辑图。

解: 对于 LSTTL 集成芯片, 某个输入引脚折断后该脚悬空, 相当于输入高电平 1。74LS151 的高位地址端 A_2 折断后, 输出不再响应 D_0, D_1, D_2, D_3 输入, 8 选 1 数据选择器只相当于一个 4 选 1, 此时地址输入为 $A_1 A_0$, 数据输入为 D_4, D_5, D_6, D_7 , 输出 Y 等于

$$\begin{aligned}
 Y &= A_2 \overline{A_1} \overline{A_0} D_4 + A_2 \overline{A_1} A_0 D_5 + A_2 A_1 \overline{A_0} D_6 + A_2 A_1 A_0 D_7 \\
 &= \overline{A_1} \overline{A_0} D_4 + \overline{A_1} A_0 D_5 + A_1 \overline{A_0} D_6 + A_1 A_0 D_7
 \end{aligned}$$

与函数 F 相比较

$$\begin{aligned}
 F(A, B, C) &= \sum m(1,2,4,7) \\
 &= \overline{A} \overline{B} C + \overline{A} B \overline{C} + A \overline{B} \overline{C} + A B C
 \end{aligned}$$

不难看出, 只要令 AB 为地址, 则 $D_4=C, D_5=\overline{C}, D_6=\overline{C}, D_7=C$ 。逻辑图如图所示。

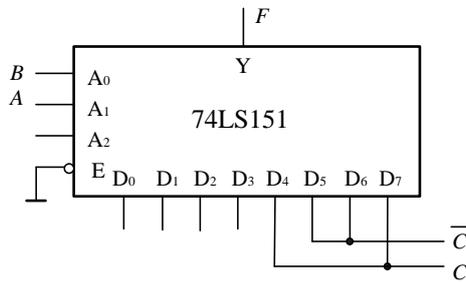
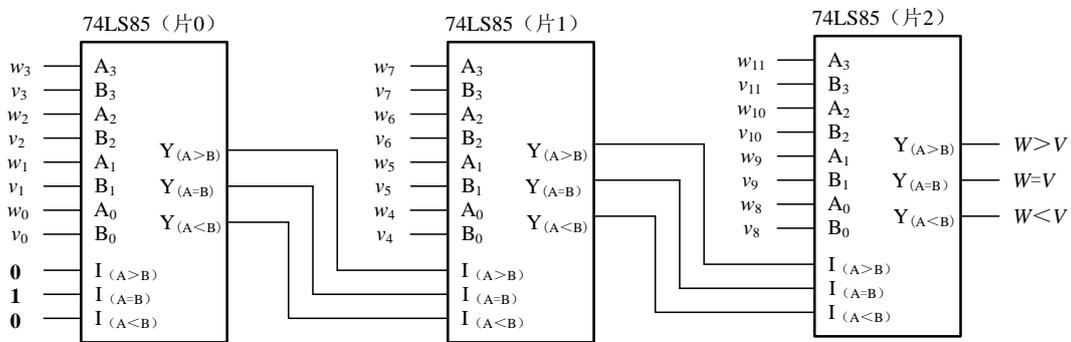


图 A4.2.2-5 题 4.2.2-11 的电路实现

32. 用三片四位数值比较器 74LS85 实现两个 12 位二进制数比较。

解:

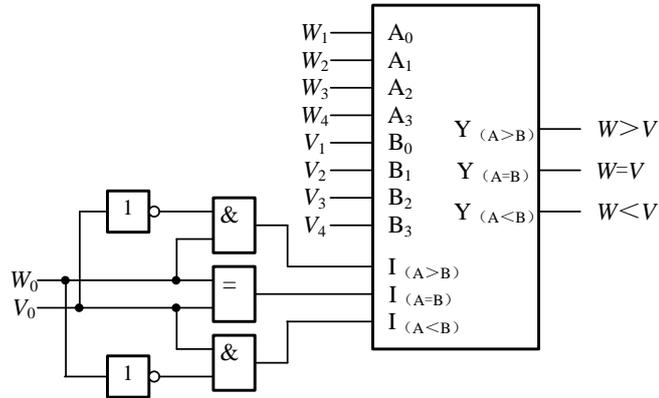


33. 用一片 4 位数值比较器 74HC85 和适量的门电路实现两个 5 位数值的比较。

解: 高 4 位加到比较器数值输入端, 最低位产生级联输入。

W_0	V_0	$I_{(A>B)}$	$I_{(A<B)}$	$I_{(A=B)}$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

$$I_{(A>B)} = W_0 \overline{V_0}, \quad I_{(A<B)} = \overline{W_0} V_0, \quad I_{(A=B)} = W_0 \odot V_0$$

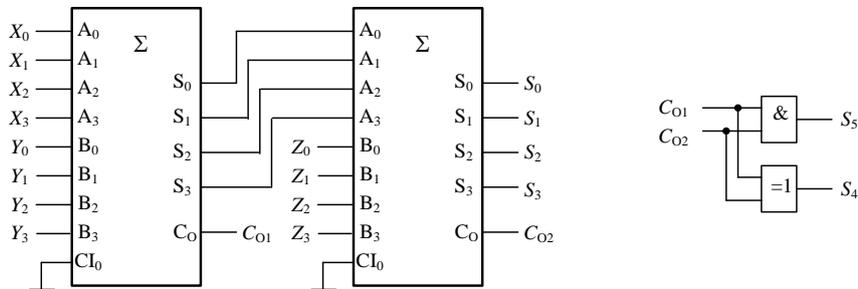


34. 用两个四位加法器 74283 和适量门电路设计三个 4 位二进制数相加电路。

解：三个 4 位二进制数相加，其和应为 6 位。基本电路如图所示。两个加法器产生的进位通过一定的逻辑生成和的高两位。

CO_1	CO_2	S_5	S_4
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

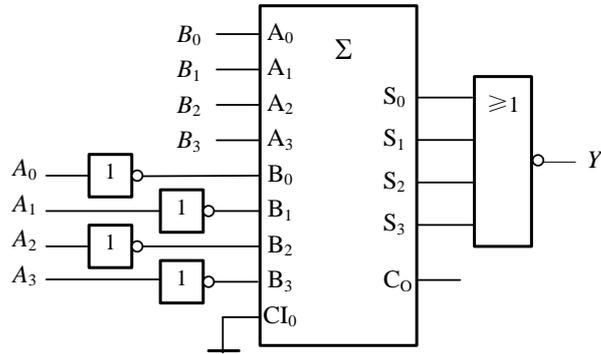
$$S_4 = CO_1 \oplus CO_2, \quad S_5 = CO_1 \cdot CO_2$$



35. A 、 B 为 4 位无符号二进制数 ($B \neq 0$)，用一个 74LS283、非门和一个其它类型门电路实现：当 $A = (B-1)$ 模 16 时，输出 $Y=1$ ，否则为 0。

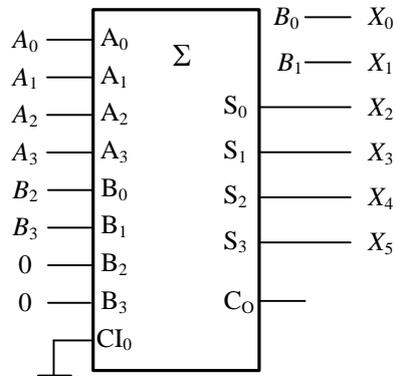
解：∵ $(B-1)$ 模 16 即为 $B-1$

∴ $A=B-1$ 时 $Y=1$ ，否则 $Y=0$ ，即 $B-1-A=B+\bar{A}+1-1=B+\bar{A}$ 为 0 时， $Y=1$ 。



36. A 、 B 为四位二进制数，试用一片 74283 实现 $Y=4A+B$ 。

解： $Y=4A+B=A_3A_2A_1A_000+B_3B_2B_1B_0$

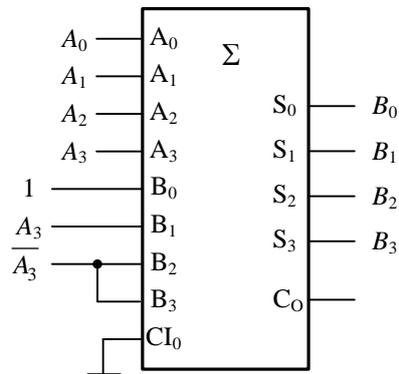


37. 用一片 74283 和尽量少的门电路设计余 3 码到 2421 码的转换。

解：余 3 码到 2421 码的转换的真值表为：

A_3	A_2	A_1	A_0	B_3	B_2	B_1	B_0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	1	0	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
1	0	1	0	1	1	0	1
1	0	1	1	1	1	1	0
1	1	0	0	1	1	1	1

从真值表中可以看到，当 $A_3=0$ 时， $B=A-3$ ，当 $A_3=1$ 时， $B=A+3$



38. 设计一个一位 8421BCD 码乘以 5 的电路, 要求输出也为 8421BCD 码。要求:

- (1) 用 4 线/16 线译码器及门电路实现 ;
- (2) 只用四位全加器 74LS283 实现;
- (3) 不用任何器件实现。

解: 根据题意列出真值表

A_3	A_2	A_1	A_0	B_7	B_6	B_5	B_4	B_3	B_2	B_1	B_0
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	1	0	1
0	0	1	0	0	0	0	1	0	0	0	0
0	0	1	1	0	0	0	1	0	1	0	1
0	1	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	1	0	0	1	0	1
0	1	1	0	0	0	1	1	0	0	0	0
0	1	1	1	0	0	1	1	0	1	0	1
1	0	0	0	0	1	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	1	0	1

(1) 从真值表可写出逻辑表达式:

$$B_7=0,$$

$$B_3=0,$$

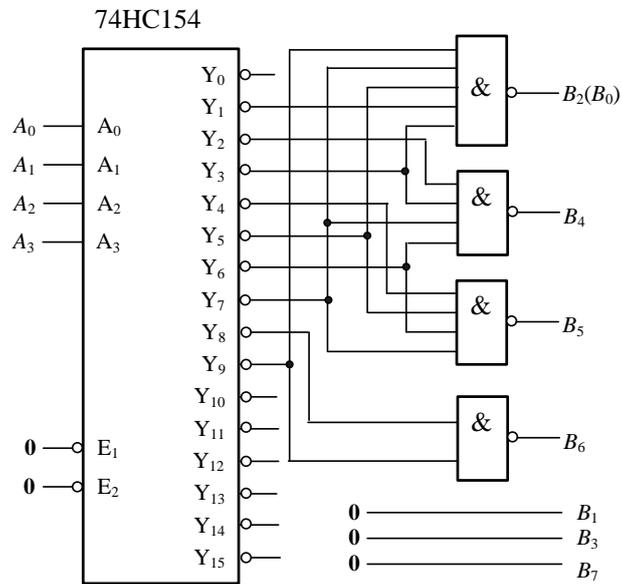
$$B_1=0,$$

$$B_6=\sum m(8, 9),$$

$$B_5=\sum m(4, 5, 6, 7),$$

$$B_4=\sum m(2, 3, 6, 7),$$

$$B_0=B_2=\sum m(1, 3, 5, 7, 9)。$$



(2) 用全加器实现

$$\begin{array}{r}
 A_3 A_2 A_1 A_0 \\
 \times 0101 \\
 \hline
 00A_3 A_2 A_1 A_0 \\
 + A_3 A_2 A_1 A_0 \\
 \hline
 \end{array}$$

用74283实现 $A_1 A_0$

逻辑图与 36 题同。

(3) 不用任何器件实现

$$B_7=0, B_6=A_3, B_5=A_2, B_4=A_1, B_3=0, B_2=A_0, B_1=0, B_0=A_0$$

39. 利用两片并行进位加法器和必要的门电路设计一个 8421BCD 码加法器。8421BCD 码的运算规则是：当两数之和小于等于 9 (1001) 时，所得结果即为输出；当所得结果大于 9 时，则应加上 6 (0110)。

解：连线图如图所示。加法器 1 完成两个加数得初始加法，加法器 2 对加法器 1 输出进行修正。

